

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : **Masato KOBAYASHI, et al.**
Filed: : **Concurrently herewith**
For: : **RECEIVER APPARATUS IN STUFFING....**
Serial No. : **Concurrently herewith**

Assistant Commissioner for Patents
Washington, D.C. 20231

January 31, 2002

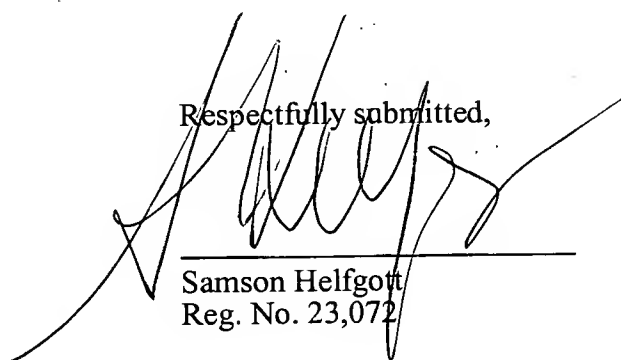
PRIORITY CLAIM AND SUBMISSION
OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **JAPANESE** patent application no. **2001-322445** filed **October 19, 2001**, a certified copy of which is enclosed.

Any fee, due as a result of this paper, not covered by an enclosed check, may be charged to Deposit Acct. No. 50-1290.

Respectfully submitted,



Samson Helfgott
Reg. No. 23,072

ROSENMAN & COLIN, LLP
575 MADISON AVENUE
IP Department
NEW YORK, NEW YORK 10022-2584
DOCKET NO.: FUJH 19.387
TELEPHONE: (212) 940-8800

10822
10/066076
01/31/02
JC825 U.S. PTO

日本国特許庁
JAPAN PATENT OFFICE

JPO25 U.S. PTO
10/066076
01/31/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年10月19日

出願番号
Application Number:

特願2001-322445

出願人
Applicant(s):

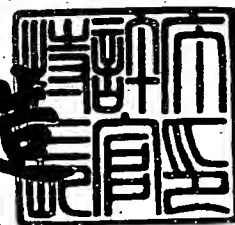
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年12月21日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 0151793

【提出日】 平成13年10月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H04J 3/07

【発明の名称】 スタッフ同期方式における受信装置

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜 2 丁目 3 番 9 号 富士通デ
ィジタル・テクノロジ株式会社内

【氏名】 小林 真人

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜 2 丁目 3 番 9 号 富士通デ
ィジタル・テクノロジ株式会社内

【氏名】 館野 実

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜 2 丁目 3 番 9 号 富士通デ
ィジタル・テクノロジ株式会社内

【氏名】 吉野 康志

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜 2 丁目 3 番 9 号 富士通デ
ィジタル・テクノロジ株式会社内

【氏名】 児矢野 英明

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜 2 丁目 3 番 9 号 富士通デ
ィジタル・テクノロジ株式会社内

【氏名】 岩岡 立

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜 2 丁目 3 番 9 号 富士通デ

ィジタル・テクノロジー株式会社内

【氏名】 久保田 孝彦

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内

【氏名】 高安 昭男

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒▲徳▼

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【手数料の表示】

【予納台帳番号】 030708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 スタッフ同期方式における受信装置

【特許請求の範囲】

【請求項 1】 スタッフ同期によりスタッフデータが挿入されたデジタルデータを受信する受信装置であって、

連続したアドレスが割り当てられた複数の記憶セルを有する記憶部と、

前記デジタルデータと同期したクロック信号に基づいて生成された書込みクロック信号に同期して、前記アドレスを所定の順序方向で順次指定し、該指定したアドレスの記憶セルに前記デジタルデータを書き込む書込み部と、

少なくとも前記スタッフデータについては、前記書込み部の前記アドレスの指定および前記デジタルデータの書込みを禁止する書込み制御部と、

前記記憶部に記憶されたデジタルデータを読み出すために使用される読出しクロック信号を生成する読出しクロック信号生成部と、

前記読出しクロック信号に同期して、前記記憶部の前記アドレスを前記所定の順序方向で順次指定し、該指定したアドレスの記憶セルに記憶されたデジタルデータを読み出す読出し部と、

前記読出し部が指定するアドレスから前記書込み部が指定するアドレスまでの前記所定の順序方向での間隔に基づいて、前記読出しクロック信号の周期を調整する読出しクロック信号調整部と、

を備えている受信装置。

【請求項 2】 請求項 1 において、

前記読出しクロック信号調整部は、前記読出しクロック信号の調整を複数の調整タイミングで分割して行う、

受信装置。

【請求項 3】 請求項 1 において、

前記読出しクロック信号調整部は、前記所定の順序方向での間隔と、前記周期の調整量とを対応させた第 1 テーブルと、該調整量による前記周期の調整を 1 回で実行するタイミング、または、該調整量を複数に分割し、該分割された調整量により前記周期の調整を複数回に分けて実行するタイミングを定めた第 2 テーブル

ルとを保持し、前記第 1 および第 2 テーブルに基づいて前記読出しクロック信号の周期を調整する、

受信装置。

【請求項 4】 請求項 3 において、

前記第 2 テーブルの前記複数回のタイミングの間隔は、ほぼ等しい時間間隔である、

受信装置。

【請求項 5】 請求項 3 または 4 において、

前記読出しクロック信号生成部は、

前記書込みクロック信号と自己の出力信号が可変分周器で分周された信号とを入力信号とするフェーズロックループ回路と、

前記フェーズロックループ回路の出力信号を前記記憶セルが有するビット数と同じ数値の分周比で分周し、該分周された信号を前記読出し部に与える分周器と

を備え、

前記読出しクロック信号調整部は、前記可変分周器の分周比を前記ビット数と同じ数値の分周比を中心に該分周比を 1 増減させることにより、前記読出しクロック信号の周期を調整する、

受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スタンプ同期によりスタンプデータが挿入されたデジタルデータを受信する受信装置に関する。

【0002】

【従来の技術】

複数の送信データの速度を擬似的に一致させ、これら複数の送信データを多重化して送信する方式に、スタンプ同期方式がある。

【0003】

このスタッフ同期方式では、受信装置において、受信データに挿入されたスタッフデータが除去されるとともに、通信速度を調整するために、受信データを一時的に格納するバッファメモリからの、該受信データの読出し速度がフェーズロックループ（PLL）により調整される。

【0004】

図7は、従来のスタッフ同期方式における受信装置の構成を示すブロック図である。この図7は、多重分離装置の後段部分を示しており、入力データ（受信データ）は、多重分離後のデータ（ビット単位のシリアルデータ）である。

【0005】

図8は、図7に示す受信装置の入力データd、入力クロック信号c11、分周器105の出力信号c12、分周器107の出力信号c13、分周器111の出力信号c14、および位相比較器108の出力信号c15の各波形を示すタイムチャートである。同図（A）はスタッフデータが挿入されていない場合を、同図（B）はスタッフデータS（ここでは1バイトとする。）が挿入されている場合を、それぞれ示している。

【0006】

入力データdは、シリアル／パラレル変換器101に入力され、8ビット（1バイト）のパラレルデータに変換された後、バッファメモリ102およびデスタッフ制御回路104に入力される。

【0007】

入力クロック信号c11は、入力データと同一の周波数を有する。この入力クロック信号c11は、分周器105により分周され、8分の1の周波数のクロック信号c12に変換される。以下、分周器が入力クロック信号をn分の1の周波数のクロック信号に変換することを「分周比nで分周する」という。このクロック信号c12は、書込みアドレスカウンタ106および分周器107に入力される。

【0008】

書込みアドレスカウンタ106は、クロック信号c12に同期して、バッファメモリ102の書込みアドレスを示すアドレス信号を生成し、バッファメモリ1

02に与える。アドレス信号が示すアドレスは、クロック信号c12が入力されるごとに1ずつ増加し、最上位アドレスになった後、最下位アドレスに戻るようになっている。ここでは、バッファメモリ102は、1バイトのメモリセルを8個（すなわちメモリ容量8バイト）を有し、したがって、書込みアドレスカウンタ106は0～7までのアドレス信号を順次生成し、7の次は再び0に戻ることを繰り返す。

【0009】

シリアル／パラレル変換器101からの1バイトデータは、書込みアドレスカウンタ106からのアドレス信号がバッファメモリ102に入力されるごとに、このアドレス信号が示すアドレスのメモリセルに書き込まれる。

【0010】

デスタッフ制御回路104は、スタッフデータの有無等を示すスタッフ指定データをチェックし、スタッフ指定データがスタッフデータの挿入を示している場合には、書込みアドレスカウンタ106のアドレスの増加およびアドレス信号の出力を停止する。これにより、スタッフデータは、バッファメモリ102に書き込まれない。

【0011】

分周器107および111、位相比較器108、低域フィルタ（LPF）109、ならびに電圧制御発振器（VCO）110は、PLL120を形成する。

【0012】

分周器107は、クロック信号c12を分周比8で分周し、分周されたクロック信号c13を位相比較器108に与える。また、デスタッフ制御回路104は、スタッフ指定データがスタッフデータの挿入を示している場合には、分周器107を制御して、分周器107がクロック信号c12の1クロック分（図6の仮想線（二点鎖線）で図示）をカウントしないようにする。これにより、図6（B）に示すように、出力信号c13は、クロック信号c12の1周期分だけ遅れた信号となる。換言すると、分周器107は、スタッフデータSが挿入されている場合に、クロック信号c13の周波数を、クロック信号c12の周波数の8分の1から9分の1に変化させる。

【0013】

位相比較器108は、分周器107のクロック信号c13と分周器111のクロック信号c14との位相差を求め、該位相差に対応した電圧信号を低域フィルタ(LPF)109を介してVCO110に与える。VCO110は、入力された位相差に基づいて、出力クロック信号を生成し、該出力クロック信号を分周器112および後段の回路(図示略)に出力する。

【0014】

分周器112は、出力クロック信号を分周比8で分周し、分周されたクロック信号を分周器111および読出しアドレスカウンタ113に与える。分周器111は、このクロック信号をさらに分周比8で分周し、分周されたクロック信号c14を位相比較器108に与える。

【0015】

また、読出しアドレスカウンタ113は、分周器112からのクロック信号に同期して、バッファメモリ102の読出しアドレスを示すアドレス信号を生成し、バッファメモリ102に出力する。アドレス信号が示す読出しアドレスは、分周器112からのクロック信号が入力されるごとに1ずつ増加し、最上位アドレスになった後、最下位アドレスに戻るようになっている。

【0016】

読出しアドレスカウンタ113のアドレス信号がバッファメモリ102に入力されるごとに、アドレス信号が示す読出しアドレスのメモリセルに記憶された1バイトの入力データがバッファメモリ102から読み出され、パラレル/シリアル変換器103にパラレルデータとして与えられる。パラレル/シリアル変換器103は、バッファメモリ102からのパラレルデータをシリアルデータに変換し、出力データとして後段の回路(図示略)に出力する。

【0017】

このようにして、入力データ内に含まれるスタンプデータが除去され、デスタンプが実行される。また、PLL120により読出しアドレスカウンタ113のカウント周期が調整され、バッファメモリ102がオーバーフローおよびアンダーフローしないように制御されている。

【0018】

しかし、この受信装置では、スタップデータ S が 1 ビットではなく、1 バイト（すなわち 8 ビット）を有するような場合には、位相比較器 108 に入力されるクロック信号 c13 の周期が、クロック信号 c12 の 1 周期分（すなわち入力クロック信号 c11 の 8 周期分）急激に増加することとなる。その結果、VCO110 の出力クロック信号に許容できない量のジッタが生じるおそれがある。

【0019】

このため、このようなジッタを防止するために、位相比較器 108 に入力される信号の周波数を徐々に変化させる受信装置が考えられている。図 9 は、ジッタを防止するために考えられた従来の受信装置の構成を示すブロック図である。図 7 を同じ構成要素および同じ信号には同じ符号を付し、その詳細な説明を省略する。図 10 は、図 9 に示す受信装置の入力データ d、入力クロック信号 c11、分周器 202 の出力信号 c21、分周器 203 の出力信号 c22、分周器 111 の出力信号 c14、および位相比較器 108 の出力信号 c23 の各波形を示すタイムチャートである。同図（A）はスタップデータが挿入されていない場合を、同図（B）はスタップデータ S（1 バイト）が挿入されている場合を、それぞれ示している。

【0020】

この受信装置では、分周器 111 および 203、位相比較器 108、LPF109、ならびに VCO110 が PLL130 を形成し、この PLL130 により読出しアドレスカウンタのカウント周期、すなわちバッファメモリ 102 からのデータの読出し周期が調整される。

【0021】

分周器 202 は、デスタップ量平滑化回路 201 の制御の下、入力クロック信号 c11 を分周比 8 または 9 で分周し、分周されたクロック信号 c21 を分周器 203 に与える。

【0022】

入力データにスタップデータ S が挿入されている場合に、デスタップ量平滑化回路 201 には、デスタップ制御回路 104 からスタップデータ S が挿入されて

いることを示す信号（挿入信号）が与えられる。

【0023】

デスタッフ量平滑化回路201は、所定の個数のフレームに亘って、デスタッフ制御回路104から与えられる挿入信号の個数（すなわち所定の個数のフレーム内に挿入されたスタッフデータの個数） m （正の整数）をカウントする。そして、デスタッフ量平滑化回路201は、所定の個数のフレームにおいてカウントされたデータ量の分だけ、分周器202の分周比を8から9に変化させる制御信号を分周器202に与える。スタッフデータ S が1バイト（すなわち8ビット）であるのに対し、分周器202は、1クロックが1ビットに対応する入力クロック信号 $c11$ を分周するものである。したがって、デスタッフ量平滑化回路201の制御信号は、 $8 \times m$ 回に分けて、ジッタが生じない時間間隔で分周器202に与えられる。

【0024】

たとえば、スタッフデータ S が1つ含まれている場合には、制御信号は8回に分けて分周器202に与えられる。また、その時間間隔は、たとえば4フレームに亘って挿入信号の個数をカウントした場合には $T/2$ である（時間 T は1フレームの周期とする）。

【0025】

このように、分周器202の分周比を8から9に変化させることにより、クロック信号 $c21$ およびクロック信号 $c22$ の周期は、入力クロック $c11$ の1周期分（前述した図8のクロック信号 $c13$ の8分の1）だけ長くなるだけであり、位相比較器108の入力信号の変化が緩和される。また、分周比を変化させる時間間隔は所定の個数のフレーム内で平均化され、VCO110の出力周波数の最大値と最小値の差が小さくなる。したがって、この受信装置ではジッタの発生量が低減される。

【0026】

【発明が解決しようとする課題】

しかしながら、この図9に示す受信装置は、入力データのスタッフデータのみからPLL130の周波数制御を行っているため、ジッタを低減するためにカッ

トオフ周波数の低いPLLを使用した場合において、スタップデータの挿入頻度が大きく変化したときは、PLLの追従の遅れにより、バッファメモリ102がオーバーフローするおそれがある。

【0027】

また、ジッタの低減効果を大きくするためには、デスタップ量平滑化回路201が長い時間（多くのフレーム）に亘ってスタップデータの個数をカウントし、長い時間に亘って分周器202の分周比を制御する必要があり、受信装置の応答が遅くなる。その間、バッファメモリ102がオーバーフローしないようにするためには、バッファメモリ102のメモリ容量を大きくする必要がある。このため、バッファメモリ102の回路規模が大きくなり、データの遅延も大きくなる。

【0028】

さらに、デスタップ量平滑化回路201は、長い時間のスタップデータの平均化を行うので、その回路規模が増大する。

【0029】

このような背景から、本発明は、スタップ同期方式における受信装置の回路規模を小さくすることを目的とする。

【0030】

また、本発明は、受信データを一時的に記憶する記憶装置へのデータの書込み状況と読出し状況に応じて、読み出し速度を調整可能にすることを目的とする。

【0031】

さらに、本発明は、受信装置の記憶装置のオーバーフローを防止することを目的とする。

【0032】

【課題を解決するための手段】

前記目的を達成するために、本発明による受信装置は、スタップ同期によりスタップデータが挿入されたデジタルデータを受信する受信装置であって、連続したアドレスが割り当てられた複数の記憶セルを有する記憶部と、前記デジタルデータと同期したクロック信号に基づいて生成された書込みクロック信号に同期して、前記アドレスを所定の順序方向で順次指定し、該指定したアドレスの記

憶セルに前記デジタルデータを書き込む書込み部と、少なくとも前記スタッフデータについては、前記書込み部の前記アドレスの指定および前記デジタルデータの書込みを禁止する書込み制御部と、前記記憶部に記憶されたデジタルデータを読み出すために使用される読出しクロック信号を生成する読出しクロック信号生成部と、前記読出しクロック信号に同期して、前記記憶部の前記アドレスを前記所定の順序方向で順次指定し、該指定したアドレスの記憶セルに記憶されたデジタルデータを読み出す読出し部と、前記読出し部が指定するアドレスから前記書込み部が指定するアドレスまでの前記所定の順序方向での間隔に基づいて、前記読出しクロック信号の周期を調整する読出しクロック信号調整部と、を備えている。

【 0 0 3 3 】

本発明によると、デジタルデータのうち、少なくともスタッフデータを除く部分が記憶部に記憶される。記憶部に記憶されたデータは、読出しクロック信号に同期した周期で読み出される。この読出しクロック信号の周期（すなわち読出し周期）は、記憶部の書込みアドレスと読出しアドレスとの所定の順序方向での間隔（すなわちデータの書込み状況と読出し状況）に基づいて制御される。

【 0 0 3 4 】

このように、本発明によると、記憶部へのデータの書込み状況と読出し状況に基づいて読出しクロック信号の周期が制御されるので、複数のフレームに亘ってデータを記憶するメモリや、複数のフレームに亘ってスタッフデータの回数を平均化する回路も必要ない。一方、記憶部へのデータの書込み状況と読出し状況は、書込みアドレスと読出しアドレスとの関係を比較する簡単な回路（たとえばアドレスラッチ、減算器等）により知ることができる。したがって、本発明によると、受信装置の回路規模を小さくすることができる。

【 0 0 3 5 】

たとえば、前記読出しクロック信号制御部は、前記所定の順序方向での間隔が、あらかじめ定められた間隔である場合には現在の読出しクロック信号の周期を維持し、前記あらかじめ定められた間隔より短い場合には前記読出しクロック信号の周期を現在の周期よりも長くし、前記あらかじめ定められた間隔より長い場

合には前記読出しクロック信号の周期を現在の周期よりも短くするように制御を実行する。

【 0 0 3 6 】

好ましくは、前記読出しクロック信号調整部は、前記読出しクロック信号の調整を複数の調整タイミングで分割して行う。

【 0 0 3 7 】

前記周期の調整を複数の調整タイミングで分けて実行することにより、出力クロック信号生成部にフェーズロックループ回路が使用された場合であっても、ジッタの発生を低減することができる。

【 0 0 3 8 】

また、好ましくは、前記読出しクロック信号調整部は、前記所定の順序方向での間隔と、前記周期の調整量とを対応させた第1テーブルと、該調整量による前記周期の調整を1回で実行するタイミング、または、該調整量を複数に分割し、該分割された調整量により前記周期の調整を複数回に分けて実行するタイミングを定めた第2テーブルとを保持し、前記第1および第2テーブルに基づいて前記読出しクロック信号の周期を調整する。

【 0 0 3 9 】

前記周期の調整量を複数に分割し、該分割された調整量により前記周期の調整を複数回に分けて実行することにより、出力クロック信号生成部にフェーズロックループ回路が使用された場合であっても、ジッタの発生を低減することができる。

【 0 0 4 0 】

さらに好ましくは、前記第2テーブルの前記複数回のタイミングの間隔は、ほぼ等しい時間間隔である。

【 0 0 4 1 】

本発明の一実施の形態において、前記読出しクロック信号生成部は、前記書込みクロック信号と自己の出力信号が可変分周器で分周された信号とを入力信号とするフェーズロックループ回路と、前記フェーズロックループ回路の出力信号を前記記憶セルが有するビット数と同じ数値の分周比で分周し、該分周された信号

を前記読出し部に与える分周器と、を備え、前記読出しクロック信号著製部は、前記可変分周器の分周比を前記ビット数と同じ数値の分周比を中心に該分周比を1増減させることにより、前記読出しクロック信号の周期を調整する。

【0042】

なお、ここで「分周比」は、 $(\text{分周器の入力信号の周波数}) / (\text{分周器の出力信号の周波数})$ をいう。

【0043】

【発明の実施の形態】

以下に、本発明の実施の形態について説明するが、これは一例であって、本発明の技術的範囲を限定するものではない。

【0044】

図1は、本発明の一実施の形態による、スタッフ同期方式における受信装置の構成を示すブロック図であり、多重分離回路後段の構成を示したものである。図2は、本実施の形態による受信装置に入力される入力データのフレームの構成例を示している。

【0045】

フレームは、たとえば100バイトを有し、10バイトのオーバーヘッド部および90バイトのペイロード部により構成される。

【0046】

オーバーヘッド部には、制御データが置かれ、この制御データには、スタッフデータの有無を示すスタッフ指定データ（たとえば1バイト）が含まれる。また、オーバーヘッド部には、ペイロード部に配置されるべき通信データが90バイトを超える場合に、該90バイトを超える通信データが置かれる領域（本実施の形態では一例として1バイトの領域）が確保されている。

【0047】

ペイロード部には、バッファメモリに記憶されるべき通信データ（ユーザデータ等）および正スタッフ時におけるスタッフデータが置かれる。

【0048】

この受信装置は、入力データが数百Mbps（たとえば100Mbps，15

0 M b p s 等) の速度を有するものを対象とし、スタッフデータは1バイト(8ビット)単位で挿入等される。

【0049】

たとえば、正スタッフにおいては、90バイトのペイロード部に、89バイトの通信データと、1バイトのスタッフデータとが置かれる。スタッフデータが挿入される位置は、あらかじめ定められており、本実施の形態では、ペイロード部の先頭である。また、負スタッフにおいては、91バイトの通信データに対して、90バイトがペイロード部に、1バイトがオーバヘッド部の通信データ用の領域(本実施の形態ではオーバヘッド部の最後尾)に置かれる。

【0050】

なお、フレームを100バイト以外のバイト数により構成することもできる。また、スタッフデータも1バイト以外のバイト数(たとえば8バイト)で挿入されてもよいし、オーバヘッド部に設けられる通信データ用の領域も1バイト以外のバイト数(たとえば8バイト)を設けることもできる。

【0051】

このようなスタッフデータの有無および正スタッフ/負スタッフの別は、オーバヘッド部のスタッフ指定データにより指定される。

【0052】

受信装置は、シリアル/パラレル変換器1、バッファメモリ2、パラレル/シリアル変換器3、デスタッフ制御回路4、分周器5および9、書込みアドレスカウンタ6、アドレスラッチ7、読出しアドレスカウンタ8、補正量算出テーブルメモリ10、補正量算出器12、補正パターンテーブルメモリ11、補正制御回路13、可変分周器19、およびフェーズロックループ(PLL)20を備えている。

【0053】

PLL20は、分周器14および16、位相比較器15、低域フィルタ(LPF)17、ならびに電圧制御発振器(VCO)18を備えている。

【0054】

シリアル/パラレル変換器1には、図2に示すフレーム構成を有する入力デー

タ d 1 が 1 ビット単位のシリアルデータとして入力される。シリアル／パラレル変換器 1 は、このシリアルデータ d 1 を 8 ビット（すなわち 1 バイト）のパラレルデータに変換して、バッファメモリ 2 およびデスタッフ制御回路 4 に与える。

【 0 0 5 5 】

分周器 5 には、図示しない前段の回路から入力クロック信号 c 1 が入力される。この入力クロック信号 c 1 は、たとえば入力データ d 1 を用いて生成され、入力データ d 1 の周波数と同じ周波数を有する。すなわち、入力クロック信号 c 1 の 1 クロック（1 周期）が入力データ d 1 の 1 ビットに対応する。たとえば、入力データ d 1 が 1 0 0 M b p s である場合に、入力クロック信号 c 1 の周波数は 1 0 0 M H z である。

【 0 0 5 6 】

分周器 5 は、入力クロック信号 c 1 を分周比 8 で分周し、入力クロック信号 c 1 の 8 クロックを 1 クロックに変換したクロック信号 c 2 を生成する。すなわち、クロック信号 c 2 の 1 クロックは、入力データ d 1 の 1 バイトに対応する。このクロック信号 c 2 は、書込みアドレスカウンタ 6 および P L L 2 0 の分周器 1 4 に入力される。

【 0 0 5 7 】

書込アドレスカウンタ 6 は、デスタッフ制御回路 4 の制御の下、クロック信号 c 2 に同期して、バッファメモリ 2 の書込みアドレスを示すアドレス信号を生成し、該アドレス信号をバッファメモリ 2 およびアドレスラッチ 7 に与える。アドレス信号が示す書込みアドレスは、クロック信号 c 2 の 1 クロックごとに 1 ずつ増加（インクリメント）し、最上位アドレスになった後、最下位アドレスに戻るようになっている。

【 0 0 5 8 】

ここで、バッファメモリ 2 は、入力データのペイロード部と同じ 9 0 バイトのメモリ量（すなわち 1 バイトのメモリセル 9 0 個）を有する。したがって、書込みアドレスカウンタ 6 は、書込みアドレス 0 ～ 8 9 までのアドレス信号を順次生成し、8 9 の次は再び 0 に戻ることを繰り返す。

【 0 0 5 9 】

シリアル／パラレル変換器 1 からの 1 バイトのパラレルデータは、書込みアドレスカウンタ 6 のアドレス信号が与えられるごとに（すなわち分周器 5 のクロック信号 c 2 に同期して）、該アドレス信号が示すアドレスのメモリセルに書き込まれる（記憶される）。

【 0 0 6 0 】

デスタッフ制御回路 4 は、シリアル／パラレル変換器 1 からのパラレルデータがオーバヘッド部のデータ（負スタッフ時にオーバヘッド部に置かれる 1 バイトの通信データを除く。）である場合、および、ペイロード部のスタッフデータである場合には、書込みアドレスカウンタ 6 を制御して、該書込みアドレスカウンタ 6 が新たなアドレス信号を出力しないようにするとともに、書込みアドレスのインクリメントを行わないようにする。

【 0 0 6 1 】

これにより、オーバヘッド部のデータ（負スタッフ時にオーバヘッド部に置かれる 1 バイトの通信データを除く。）およびペイロード部のスタッフデータはバッファメモリ 2 に書き込まれず、ペイロード部の通信データおよび負スタッフ時におけるオーバヘッド部の通信データのみがバッファメモリ 2 に書き込まれる。すなわちデスタッフが実行される。

【 0 0 6 2 】

一方、バッファメモリ 2 に記憶された通信データは、読出しアドレスカウンタ 8 が生成するアドレス信号が入力されるごとに、該アドレス信号が示す読出しアドレスのメモリセルから読み出される。読み出されたデータ（1 バイトのパラレルデータ）は、パラレル／シリアル変換器 3 に与えられ、シリアルデータ（出力データ）d 2 に変換される。この出力データ d 2 は、図示しない後段の回路に与えられる。

【 0 0 6 3 】

この読出しアドレスカウンタ 8 は、分周器 9 のクロック信号 c 7 に同期して、バッファメモリ 2 の読出しアドレスを示すアドレス信号を生成し、バッファメモリ 2 に与える。したがって、バッファメモリ 2 に記憶された通信データは、クロック信号 c 7 に同期して読み出される。

【 0 0 6 4 】

アドレス信号が示す読出しアドレスは、クロック信号 c 7 の 1 クロックごとに 1 ずつ増加（インクリメント）し、最上位アドレス（アドレス 8 9）になった後、最下位アドレス（アドレス 0）に戻るようになっている。

【 0 0 6 5 】

バッファメモリ 2 のアドレス 0 からアドレス 8 9 までの全メモリセルに入力データを書き込む（または読み出す）のに要する時間を 1 周期とすると、バッファメモリ 2 へのデータの書込みとバッファメモリ 2 からのデータの読出しとが平衡状態にある場合に、読出しアドレスと書込みアドレスとは $1/2$ 周期シフトするように設定されている。すなわち、読出しアドレスと書込みアドレスとは、バッファメモリ 2 のメモリ容量の半分である 4 5 アドレス分シフトしている。たとえば、読出しアドレスが 0 の時は、書込みアドレスは 4 5 であり、書込みアドレスが 0 の時は、読出しアドレスは 4 5 である。後述するように、入力データに正スタップまたは負スタップが実行されていることにより、この両アドレス差の値は変動し、これを定常状態に戻すために、読出しアドレスカウンタ 8 のカウント周期（すなわちクロック信号 C 7 の周期ないし周波数）が PLL 2 0 によって調整される。

【 0 0 6 6 】

読出しアドレスカウンタ 8 に入力されるクロック信号 c 7 は、PLL 2 0（VCO 1 8）の出力クロック信号 c 6 を分周比 8 で分周したものである。したがって、バッファメモリ 2 からのデータの読出し速度（すなわちアドレスカウンタ 8 のカウント周期）は、PLL 2 0 により制御される。

【 0 0 6 7 】

PLL 2 0 には、分周器 5 のクロック信号 c 2 および可変分周器 1 9 のクロック信号 c 5 が入力される。クロック信号 c 2 は分周器 1 4 に入力され、クロック信号 c 5 は分周器 1 6 に入力される。

【 0 0 6 8 】

分周器 1 4 は、分周比 N でクロック信号 c 2 を分周し、クロック信号 c 2 の N 個のクロックを 1 つのクロックに変換したクロック信号 c 3 を生成する。一方、

分周器 1 6 は、分周比 M でクロック信号 $c 5$ を分周し、クロック信号 $c 4$ の M 個のクロックを 1 つのクロックに変換したクロック信号 $c 5$ を生成する。これらクロック信号 $c 3$ および $c 6$ は、位相比較器 1 5 に入力される。

【 0 0 6 9 】

分周比 N および M の値は、これらの比 $N : M$ が、フレーム全体のバイト数と、フレームのペイロード部のバイト数との比となるように設定される。図 2 に示す構成のフレームでは、たとえば $N = 1 0 0$ 、 $M = 9 0$ に設定される。

【 0 0 7 0 】

N および M の値をこのように設定するのは、入力データがオーバーヘッド部を含むフレーム全体であるのに対し、バッファメモリ 2 に記憶され、読み出されるデータは、フレームのペイロード部のデータであり、したがって、入力クロック信号 $c 1$ の周波数（たとえば $1 0 0 \text{ MHz}$ ）と、出力クロック信号 $c 6$ の周波数（たとえば $9 0 \text{ MHz}$ ）とが $N : M$ の比となっているからである。

【 0 0 7 1 】

位相比較器 1 5 は、クロック信号 $c 3$ と $c 4$ との位相差を電圧に変換し、該電圧信号を $\text{LPF } 1 7$ を介して $\text{VCO } 1 8$ に与える。 $\text{VCO } 1 8$ は、 $\text{LPF } 1 7$ から与えられた電圧信号に対応する周波数のクロック信号（出力クロック信号） $c 6$ を、可変分周器 1 9 を介して分周器 1 6 にフィードバックするとともに、分周器 9 に与える。

【 0 0 7 2 】

分周器 9 は、出力クロック信号 $c 4$ を分周比 8 で分周し、出力クロック信号 $c 4$ の 8 個のクロックを 1 つのクロックに変換したクロック信号 $c 7$ を生成する。すなわち、出力クロック信号 $c 7$ の 1 クロックは、出力データ $d 2$ の 1 ビットに対応し、クロック信号 $c 7$ の 1 クロックは、出力データ $d 2$ の 1 バイトに対応する。このクロック信号 $c 7$ は、読出しアドレスカウンタ 8 に入力される。

【 0 0 7 3 】

読出しアドレスカウンタ 8 は読出しアドレスが 0 となった時に、ラッチ信号をアドレスラッチ 7 に出力する。これにより、読出しアドレスが 0 となった時の書込みアドレスカウンタ 6 の書込みアドレスがアドレスラッチ 7 に一時的に記憶さ

れる。

【0074】

このアドレスラッチ7に記憶される書込みアドレスは、書込みアドレスから読出しアドレスを差し引いたアドレス差（＝（書込みアドレス）－（読出しアドレス））を意味する。このアドレスラッチ7に記憶されたアドレス差は、補正量算出器12に入力される。

【0075】

補正量算出器12は、アドレスラッチ7から与えられたアドレス差と補正量算出テーブルメモリ10に記憶された補正量算出テーブルとから、補正量（調整量）を算出する。

【0076】

図3は、補正量算出テーブルメモリ10に記憶された補正算出テーブルの一例を示している。補正量算出テーブルは、アドレスラッチ7から与えられたアドレス差に対応して、可変分周器19の分周比を、入力データd1の1フレームの周期Tの間に、8から9または8から7に何回変化させるかを示したものである。なお、入力データd1の1フレームの周期Tとは、入力データd1の1フレームの受信開始から受信終了までの時間であり、たとえば、1フレームが100バイトで、通信速度が100Mbpsである場合には、 $周期T = 100 \times 8 \div (100 \times 10^6) = 8 [\mu s]$ となる。

【0077】

この補正量算出テーブルの「補正量（ビット／フレーム）」は、周期Tの間に可変分周器19の分周比を8から9または8から7に変化させる回数を示している。「+」の符号は分周比を8から7に変化させることを意味し、「-」の符号は分周比を8から9に変化させることを意味している。

【0078】

たとえば、アドレス差が41以上48以下の場合には、補正量0〔ビット／フレーム〕である。したがって、この場合には、可変分周器19の分周比は補正されず、8に維持される。これにより、図5の「c5（補正なし）」に示すように、クロック信号c6を分周比8で分周したクロック信号c5が生成される。

【0079】

アドレス差が49以上52以下の場合には、補正量は-1〔ビット／フレーム〕となる。この場合には、可変分周器19の分周比が、周期Tの間に1回だけ $8 + 1 = 9$ に変更される。これにより、図5の「c5（-1補正）」に示すように、周期T内において、クロック信号c5のある1つのクロックが、クロック信号c6を分周比9で分周したものとなり、それ以外のクロックは、クロック信号c6を分周比8で分周したものとなる。その結果、-1補正のクロック信号c5は、補正なしのクロック信号c5よりも、クロック信号c6の1周期分遅れたものとなることから、PLL20の出力周波数が上がり、読出しアドレスカウンタ8のカウント周期はこれに対応して短くなる。その結果、読出し周期は短くなり、より短い時間間隔でデータが読み出される。

【0080】

同様にして、補正量が-2ビット／フレームの場合には、周期Tの間に2回、可変分周器19の分周比が8から9に変更される。これにより、-2補正のクロック信号c5は、補正なしのクロック信号c5よりも、クロック信号c6の2周期分遅れたものとなり、読出しアドレスカウンタ8のカウント周期も、これに対応して短くなる。その結果、読出し周期が短くなり、より短い時間間隔でデータが読み出される。

【0081】

一方、たとえば、補正量が+1の場合には、図5の「c5（+1補正）」に示すように、クロック信号c5は、クロック信号c6の1周期分進んだものとなる。これにより、読出し周期が長くなり、データを読み出す時間間隔は長くなる。

【0082】

補正量がアドレス差に対して、図3に示すような値に設定されているのは、以下の理由による。

【0083】

すなわち、前述したように、書込みアドレスと読出しアドレスとの差は平衡状態において45であるので、読出しアドレス0の時にアドレスラッチに記憶され

る書込みアドレスが45またはこの値に近い場合には、バッファメモリ2へのデータの書込みと読出しとがほぼ平衡状態にあることとなる。したがって、この場合には、読出し速度を補正する必要はなく、補正量は0である。

【0084】

一方、アドレス差が0に近づくことは、スタッフデータの挿入されたフレームが連続して多く受信されたこと等により、バッファメモリ2へのデータの書込み周期がバッファメモリ2からのデータの読出し周期より長くなり、バッファメモリ2がアンダフローするおそれがあることを意味する。したがって、アドレス差が0に近づくに従い、補正量がより大きな正の値に設定され、その結果、読出し周期はより長くなるように制御される。

【0085】

アドレス差が89に近づくことは、バッファメモリ2へのデータの書込み周期がバッファメモリ2からのデータの読出し周期より短く、バッファメモリ2がオーバフローするおそれがあることを意味する。したがって、アドレス差が89に近づくに従い、補正量がより小さな負の値に設定され、その結果、読出し周期はより短くなるように制御される。

【0086】

なお、補正量の単位が「ビット／フレーム」となっているのは、出力クロック信号c6の1クロックは、前述したように出力データの1ビットに対応し、可変分周器19の分周比を1変化させることは、出力データd2の位相を1ビット単位で変化させることに对应することによる。

【0087】

補正量算出器12は、アドレスラッチ7から与えられたアドレス差に対応する補正量を補正量算出テーブルから決定し、該補正量を補正制御回路13に与える。なお、アドレスラッチ7に記憶されるアドレス差は、読出しアドレスが0となるごとに更新されるので、補正量も読出しアドレスが0となるごとに更新される。

【0088】

補正制御回路13は、補正量算出器12から与えられた補正量と、補正パター

ンテーブルメモリ 11 に記憶された補正パターンテーブルとに基づいて、可変分周器 19 の分周比の変更時期（補正時期）を決定し、決定された変更時期に可変分周器 19 の分周比を 7 または 9 に変更する。

【0089】

図 4 は、補正パターンテーブルの一例を示している。補正パターンテーブルは、補正量算出器 12 から与えられる補正量と、補正（可変分周器 19 の分周比の変更）を行うタイミングとの対応関係を示したテーブルである。

【0090】

補正を行うタイミング（以下「補正タイミング」という。）は、補正を行う時刻を、入力データ d1 の 1 フレーム（100 バイト）の各バイトの受信位置により示している。たとえば、補正タイミング 0 は、1 フレームの先頭バイトが受信された時刻で補正を行うことを示し、補正タイミング 50 は、1 フレームの先頭から 50 バイト目が受信された時刻で補正を行うことを示している。

【0091】

この補正タイミングは、補正が複数回行われる場合には、図 4 に示すように、補正を行う時間間隔がほぼ均等となるように設定されている。このように可変分周器 19 の分周比を一度に大きく変化させるのではなく、1 フレーム内で分散して ±1 の範囲で変化させることにより、PLL 20 の出力クロック信号 c6 の周波数の急激な変化を防止でき、その結果、発生するジッタ量を低減することができる。

【0092】

また、補正量の最小値は 1 ビット／フレームであり、前述した従来の平滑化回路で 8 フレームの平滑化を行った場合と同等の補正頻度となる。

【0093】

なお、補正制御回路 13 には、フレームの位置を示す信号（たとえばフレーム同期パルス信号等）が図示しない信号線により入力され、この信号により、補正制御回路 13 は、補正タイミングを決定することができる。

【0094】

以上説明したように、本実施の形態によると、ジッタの発生量を低減すること

ができる。

【 0 0 9 5 】

また、本実施の形態によると、受信装置を実現するのに、複雑な回路は必要なく、回路規模を小さくすることができる。またアドレスラッチ 7 の周期を短くできること、および、バッファメモリ 2 のアドレス差に基づいて読出し周期が制御されることから、受信装置の応答が速くなる。

【 0 0 9 6 】

すなわち、バッファメモリ 2 は、複数のフレームのデータを記憶する容量を有するものである必要はなく、1 フレームのデータを記憶する容量またはそれ以下の容量を有するものであってもよく、バッファメモリ 2 に大規模なメモリ素子を設ける必要はない。また、補正量算出テーブルメモリ 1 0 および補正パターンテーブルメモリ 1 1 にも、それぞれ図 3 および図 4 に示すテーブルを記憶できる程度のメモリ素子を設けるだけでよい。さらに、アドレスラッチ 7 は、1 アドレス分をラッチするものでよく、補正量算出器 1 2 は、補正量算出テーブルからアドレスラッチ 7 に記憶されたアドレスに対応するものを取り出す回路で構成することができる。さらに、補正制御回路 1 3 も、所定の時間に可変分周器 1 9 の分周比を 7 または 9 に変更（設定）するものでよい。

【 0 0 9 7 】

さらに、本実施の形態によると、書込みアドレスと読出しアドレスとのアドレス差に基づいて、PLL 2 0 の出力クロック信号の周波数が制御されるので、バッファメモリ 2 へのデータの記憶状況に応じて、読出し速度が調整される。これにより、途切れることなくデータを後段の回路に送ることができる。

【 0 0 9 8 】

他の実施の形態として、可変分周器 1 9 は、図 6 (A) に示すように、分周器 1 4 の前段に配置することもできる。この場合に、分周器 1 4 の前段に配置された可変分周器 1 9 には、入力クロック信号 c 1 が入力され、また、図 1 において可変分周器 1 9 が配置された箇所には分周比 8 の分周器 3 0 が新たに設けられる。

【 0 0 9 9 】

また、図 6 (B) に示すように、可変分周器 19 と分周器 16 とを 1 つの可変分周器 40 (分周比は M または $(M \pm 1)$) として構成することもできる。この場合に、分周器 14 には、入力クロック信号 c_1 が直接入力され、可変分周器 40 には、VCO 18 の出力クロック信号 c_6 が直接入力されることとなる。この可変分周器を入力クロック信号側に設け、入力クロック信号 c_1 が入力される分周器 14 を可変分周器 (分周比は N または $(N \pm 1)$) とし、出力クロック信号 c_6 が入力される分周器を分周比 M (固定) とすることもできる。

【0100】

さらに、アドレスラッチ 7 は、書込みアドレスから読出しアドレスを減算する減算器であってもよい。

【0101】

なお、可変分周器 19 または 40 として、分周比が分数値をとることができる分数分周器を使用することもできる。この場合には、補正量が ± 1 ビット/フレームであっても、この補正量を n 等分し (n は 2 以上の整数)、 n 回の補正タイミングで可変分周器の分周比を $\pm 1/n$ ずつ変更することができる。

【0102】

また、本実施の形態では、スタッフデータが 1 バイトの場合を説明したが、スタッフデータが 1 ビットまたは複数ビットの場合や、2 以上のバイトの場合にも、本発明を適用することができる。

【0103】

(付記 1) スタッフ同期によりスタッフデータが挿入されたデジタルデータを受信する受信装置であって、

連続したアドレスが割り当てられた複数の記憶セルを有する記憶部と、

前記デジタルデータと同期したクロック信号に基づいて生成された書込みクロック信号に同期して、前記アドレスを所定の順序方向で順次指定し、該指定したアドレスの記憶セルに前記デジタルデータを書き込む書込み部と、

少なくとも前記スタッフデータについては、前記書込み部の前記アドレスの指定および前記デジタルデータの書込みを禁止する書込み制御部と、

前記記憶部に記憶されたデジタルデータを読み出すために使用される読出し

クロック信号を生成する読出しクロック信号生成部と、

前記読出しクロック信号に同期して、前記記憶部の前記アドレスを前記所定の順序方向で順次指定し、該指定したアドレスの記憶セルに記憶されたデジタルデータを読み出す読出し部と、

前記読出し部が指定するアドレスから前記書込み部が指定するアドレスまでの前記所定の順序方向での間隔に基づいて、前記読出しクロック信号の周期を調整する読出しクロック信号調整部と、

を備えている受信装置。

【0104】

(付記2) 付記1において、

前記読出しクロック信号調整部は、前記読出しクロック信号の調整を複数の調整タイミングで分割して行う、

受信装置。

【0105】

(付記3) 付記1または2において、

前記読出しクロック信号調整部は、前記所定の順序方向での間隔が、あらかじめ定められた間隔である場合には現在の読出しクロック信号の周期を維持し、前記あらかじめ定められた間隔より短い場合には前記読出しクロック信号の周期を現在の周期よりも長くし、前記あらかじめ定められた間隔より長い場合には前記読出しクロック信号の周期を現在の周期よりも短くする、

受信装置。

【0106】

(付記4) 付記1において、

前記読出しクロック信号調整部は、前記所定の順序方向での間隔と、前記周期の調整量とを対応させた第1テーブルと、該調整量による前記周期の調整を1回で実行するタイミング、または、該調整量を複数の分割し、該分割された調整量により前記周期の調整を複数回に分けて実行するタイミングを定めた第2テーブルとを保持し、前記第1および第2テーブルに基づいて前記読出しクロック信号の周期を調整する、

受信装置。

【0107】

(付記5) 付記4において、

前記第2テーブルの前記複数回のタイミングの間隔は、ほぼ等しい時間間隔である、

受信装置。

【0108】

(付記6) 付記4または5において、

前記読出しクロック信号生成部は、

前記書込みクロック信号と自己の出力信号が可変分周器で分周された信号とを入力信号とするフェーズロックループ回路と、

前記フェーズロックループ回路の出力信号を前記記憶セルが有するビット数と同じ数値の分周比で分周し、該分周された信号を前記読出し部に与える分周器と

を備え、

前記読出しクロック信号調整部は、前記可変分周器の分周比を前記ビット数と同じ数値の分周比を中心に該分周比を1増減させることにより、前記読出しクロック信号の周期を調整する、

受信装置。

【0109】

(付記7) 付記4または5において、

前記読出しクロック信号生成部は、フェーズロックループ回路と、前記記憶セルが有するビット数と同じ数値の分周比を有し、分周された信号を前記読出し部に与える分周器とを備え、

前記フェーズロックループ回路は、前記デジタルデータの受信速度と同じ周波数を有する入力クロック信号が可変分周器で分周された信号と、前記分周器の出力信号とを入力信号とし、

前記読出しクロック信号調整部は、前記可変分周器の分周比を前記ビット数と同じ数値の分周比を中心に該分周比を1増減させることにより、前記読出しクロ

ック信号の周期を調整する、

受信装置。

【0 1 1 0】

(付記 8) 付記 6 または 7 において、

前記デジタルデータが、前記記憶部に書き込まれる通信データと正スタッフ時には前記スタッフデータとを有するペイロード部、および、制御データと負スタッフ時には前記ペイロード部に含まれるべき通信データとを有するオーバーヘッド部を有するフレーム単位で受信され、

前記書込み制御部が、前記ペイロード部に含まれるスタッフデータと、前記負スタッフ時に前記オーバーヘッド部に含まれる通信データを除くデータについては、前記書込み部の前記アドレスの指定および前記書込みを禁止し、

前記フェーズロックループ回路は、

前記書込みクロック信号を分周比 N で分周する第 1 分周器と、

前記可変分周器の出力信号を分周比 M で分周する第 2 分周器と、

前記第 1 分周器および前記第 2 分周器の出力信号の位相差を求める位相比較器と、

前記位相比較器の出力信号をフィルタリングする低域フィルタと、

前記低域フィルタによりフィルタリングされた信号が入力される電圧制御発振器と、

を備え、

前記 N および M は、 $N : M$ が前記オーバーヘッド部のデータ量と前記ペイロード部のデータ量との比と等しくなる任意の数値である、

受信装置。

【0 1 1 1】

(付記 9) 付記 4 または 5 において、

前記受信デジタルデータが、前記記憶部に書き込まれる通信データと正スタッフ時には前記スタッフデータとを有するペイロード部、および、制御データと負スタッフ時には前記ペイロード部に含まれるべき通信データとを有するオーバーヘッド部を有するフレーム単位で受信され、

前記書込み制御部が、前記ペイロード部に含まれるスタッフデータと、前記負スタッフ時に前記オーバーヘッド部に含まれる通信データを除くデータについては、前記書込み部の前記アドレスの指定および前記書込みを禁止し、

前記読出しクロック信号生成部は、

電圧制御発振器と、

前記デジタルデータと同じ周波数を有する入力クロック信号を分周比 N で分周する第1分周器と、

前記電圧制御発振器の出力信号を分周比 M または分周比 $(M \pm 1)$ で分周する第2分周器と、

前記第1分周器および前記第2分周器の出力信号の位相差を求める位相比較器と、

前記位相比較器の出力信号をフィルタリングし、フィルタリングされた信号を前記電圧制御発振器に与える低域フィルタと、

前記電圧制御発振器の出力信号を、前記記憶セルが有するビット数と同じ数値の分周比で分周し、分周された信号を前記読出しクロック信号として前記読出し部に与える第3分周器と、

を備え、

前記 N および M は、 $N:M$ が前記オーバーヘッド部のデータ量と前記ペイロード部のデータ量との比と等しくなる任意の数値であり、

前記読出しクロック信号調整部は、前記第2分周器の分周比を前記 M を中心に1増減させることにより、前記読出しクロック信号の周期を変更する、

受信装置。

【0112】

(付記10) 付記4または5において、

前記受信デジタルデータが、前記記憶部に書き込まれる通信データと正スタッフ時には前記スタッフデータとを有するペイロード部、および、制御データと負スタッフ時には前記ペイロード部に含まれるべき通信データとを有するオーバーヘッド部を有するフレーム単位で受信され、

前記書込み制御部が、前記ペイロード部に含まれるスタッフデータと、前記負

スタップ時に前記オーバヘッド部に含まれる通信データを除くデータについては、前記書込み部の前記アドレスの指定および前記書込みを禁止し、

前記読出しクロック信号生成部は、

電圧制御発振器と、

前記ディジタルデータと同じ周波数を有する入力クロック信号を分周比 N または分周比 $(N \pm 1)$ で分周する第1分周器と、

前記電圧制御発振器の出力信号を分周比 M で分周する第2分周器と、

前記第1分周器および前記第2分周器の出力信号の位相差を求める位相比較器と、

前記位相比較器の出力信号をフィルタリングし、フィルタリングされた信号を前記電圧制御発振器に与える低域フィルタと、

前記電圧制御発振器の出力信号を、前記記憶セルが有するビット数と同じ数値の分周比で分周し、分周された信号を前記読出しクロック信号として前記読出し部に与える第3分周器と、

を備え、

前記 N および M は、 $N:M$ が前記オーバヘッド部のデータ量と前記ペイロード部のデータ量との比と等しくなる任意の数値であり、

前記読出しクロック信号調整部は、前記第1分周器の分周比を前記 N を中心に1増減させることにより、前記読出しクロック信号の周期を変更する、

受信装置。

【0113】

【発明の効果】

本発明によると、受信装置の回路規模を小さくすることができる。また、本発明によると、読出しクロック信号の周期（周波数）の調整（補正）を複数のタイミングで分散して行うことにより、ジッタを防止することができる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態による、スタップ同期方式における受信装置の構成を示すブロック図であり、多重分離回路後段の構成を示したものである。

【図 2】

本発明の一実施の形態による受信装置に入力される入力データのフレームの構成例を示す。

【図 3】

補正量算出テーブルの一例を示す。

【図 4】

補正パターンテーブルの一例を示す。

【図 5】

本発明の一実施の形態による受信装置における可変分周器の入力信号および出力信号の各波形を示すタイムチャートである。

【図 6】

本発明の他の実施の形態の一部を示すブロック図である。

【図 7】

従来のスタッフ同期方式における受信装置の構成を示すブロック図である。

【図 8】

図 7 に示す受信装置のクロック信号の波形を示すタイムチャートである。

【図 9】

従来のスタッフ同期方式における受信装置の構成を示すブロック図である。

【図 1 0】

図 9 に示す受信装置のクロック信号の波形を示すタイムチャートである。

【符号の説明】

- 2 バッファメモリ
- 4 デスタッフ制御回路
- 6 書込みアドレスカウンタ
- 7 アドレスラッチ
- 8 読出しアドレスカウンタ
- 1 0 補正量算出テーブルメモリ
- 1 1 補正パターンテーブルメモリ
- 1 2 補正量算出器

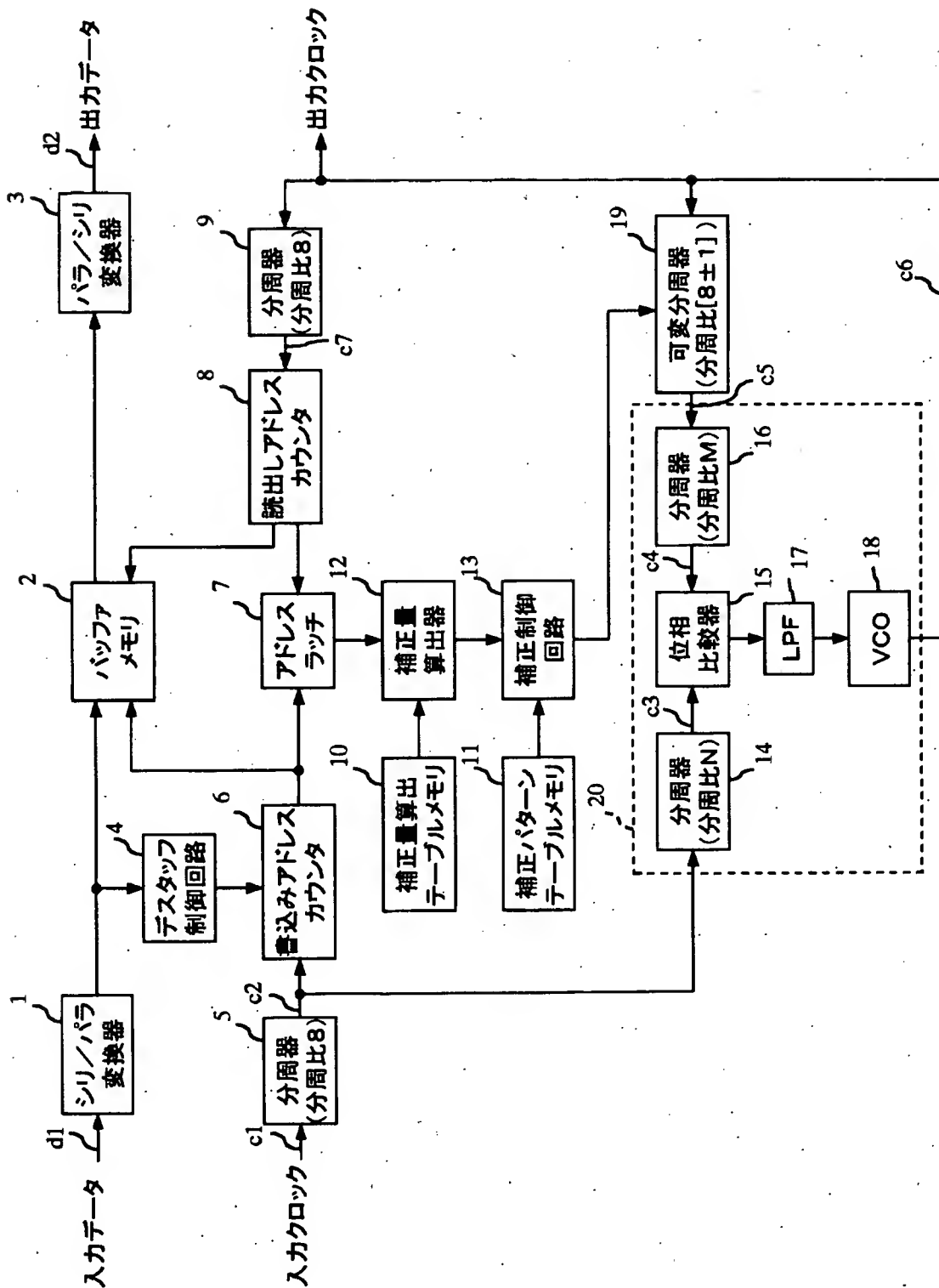
1 3 補正回路

1 9 可変分周器

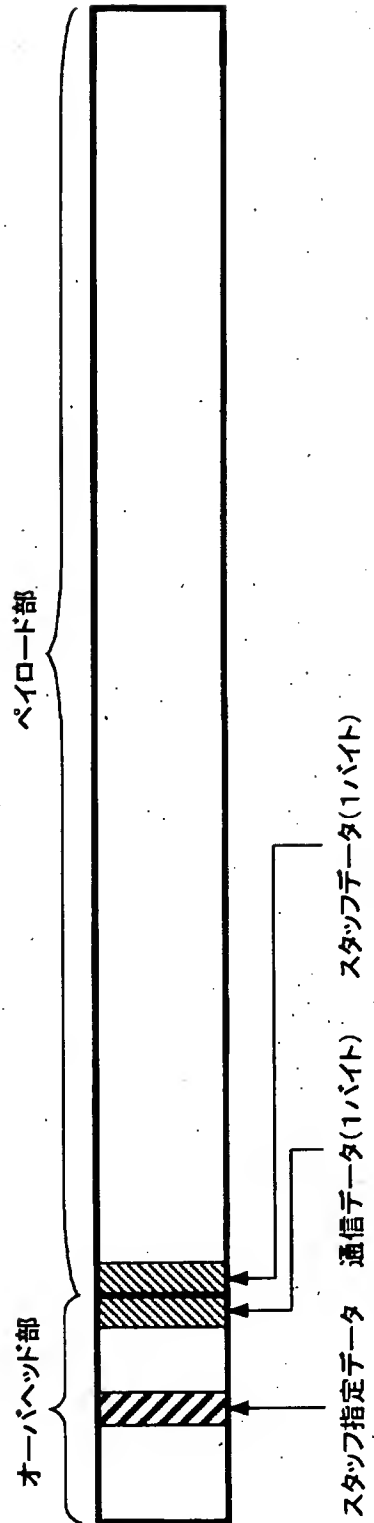
2 0 P L L

【書類名】 図面

【図1】



【図 2】



【図 3】

補正量算出テーブル

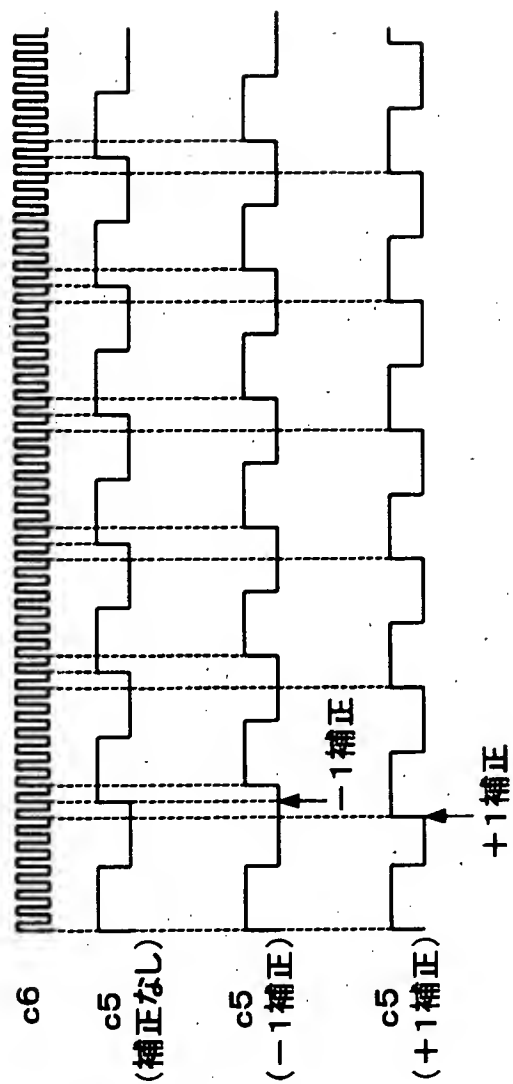
アドレス差	補正量 (ビット/フレーム)
85以上	-10
81-84	-9
77-80	-8
73-76	-7
69-72	-6
65-68	-5
61-64	-4
57-60	-3
53-56	-2
49-52	-1
41-48	0
37-40	+1
33-36	+2
29-32	+3
25-28	+4
21-24	+5
17-20	+6
13-16	+7
9-12	+8
5-8	+9
4以下	+10

【図 4】

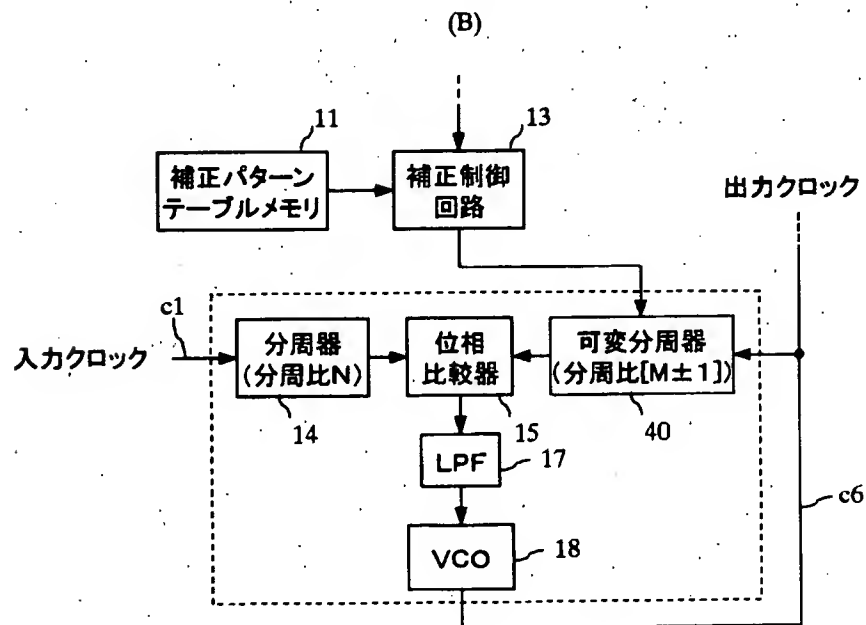
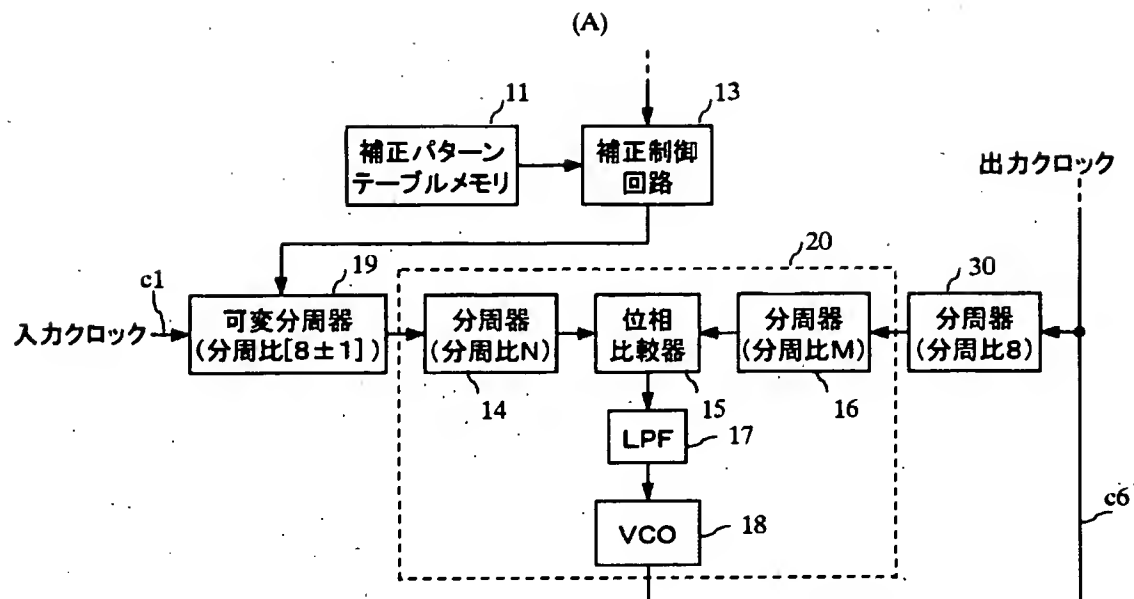
補正パターンテーブル

補正量 (ビット/フレーム)	補正タイミング
-10	0, 10, 20, 30, 40, 50, 60, 70, 80, 90
-9	0, 11, 22, 33, 44, 55, 66, 77, 88
-8	0, 13, 26, 39, 50, 67, 80, 93
-7	0, 14, 28, 42, 56, 70, 84
-6	0, 17, 34, 51, 68, 85
-5	0, 20, 40, 60, 80
-4	0, 25, 50, 75
-3	0, 33, 66
-2	0, 50
-1	0
0	-
+1	0
+2	0, 50
+3	0, 33, 66
+4	0, 25, 50, 75
+5	0, 20, 40, 60, 80
+6	0, 17, 34, 51, 68, 85
+7	0, 14, 28, 42, 56, 70, 84
+8	0, 13, 26, 39, 50, 67, 80, 93
+9	0, 11, 22, 33, 44, 55, 66, 77, 88
+10	0, 10, 20, 30, 40, 50, 60, 70, 80, 90

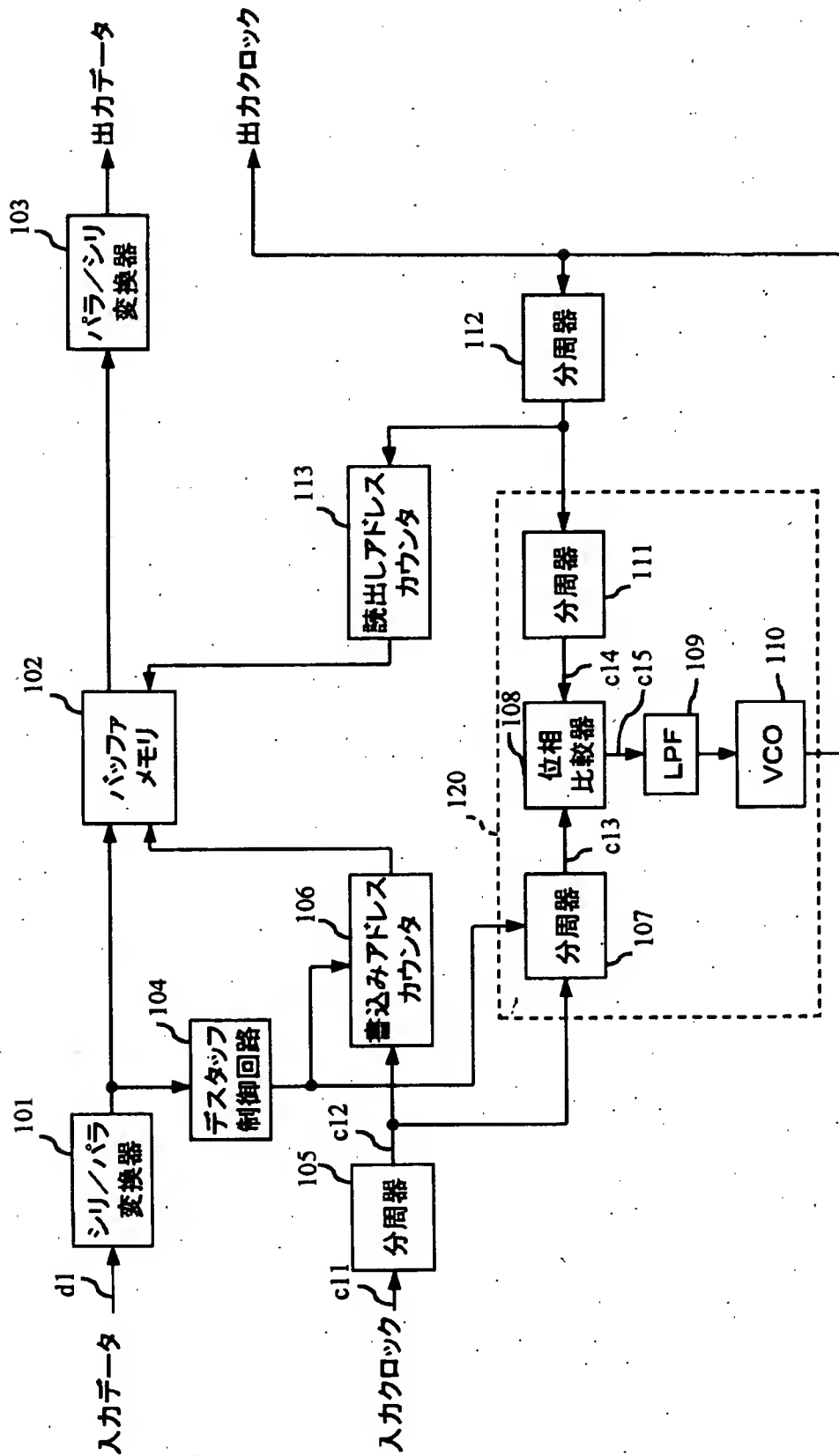
【図 5】



【図 6】

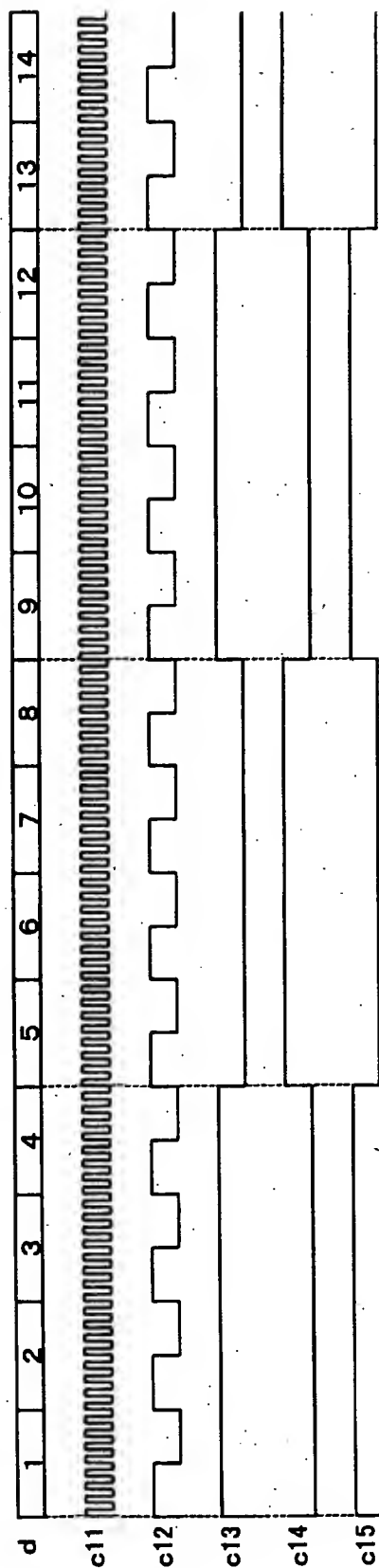


【図 7】

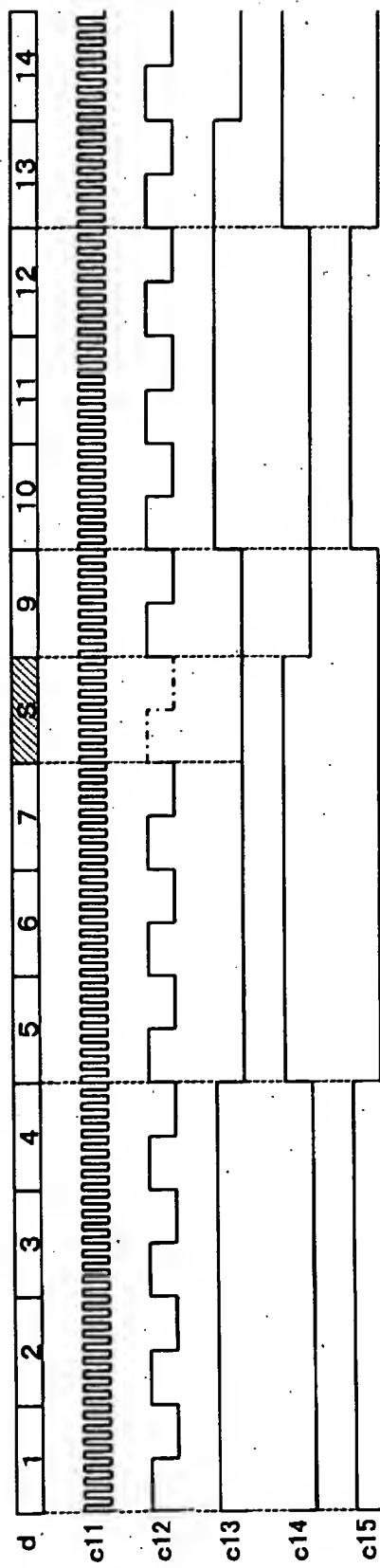


【图 8】

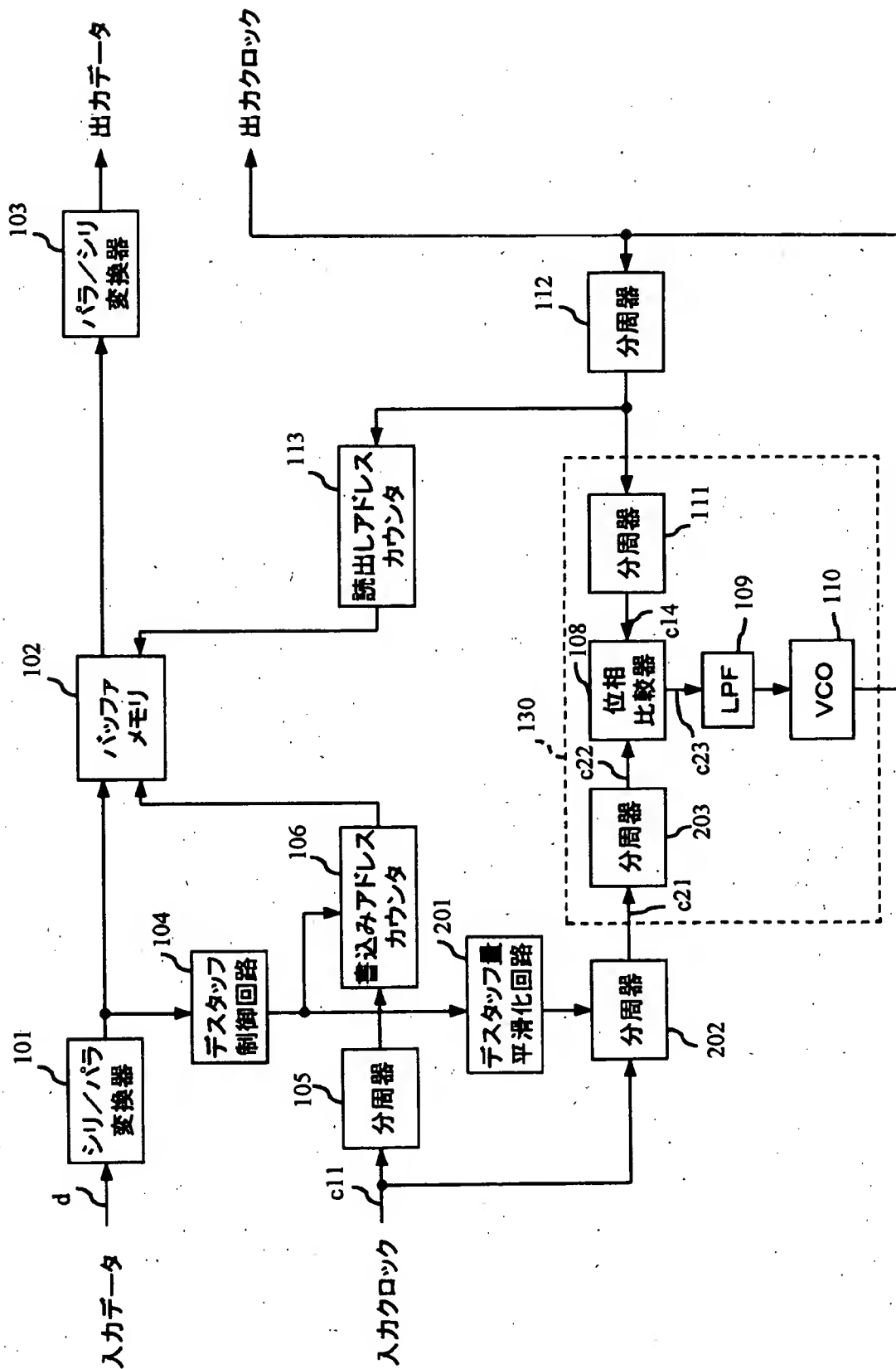
(A)



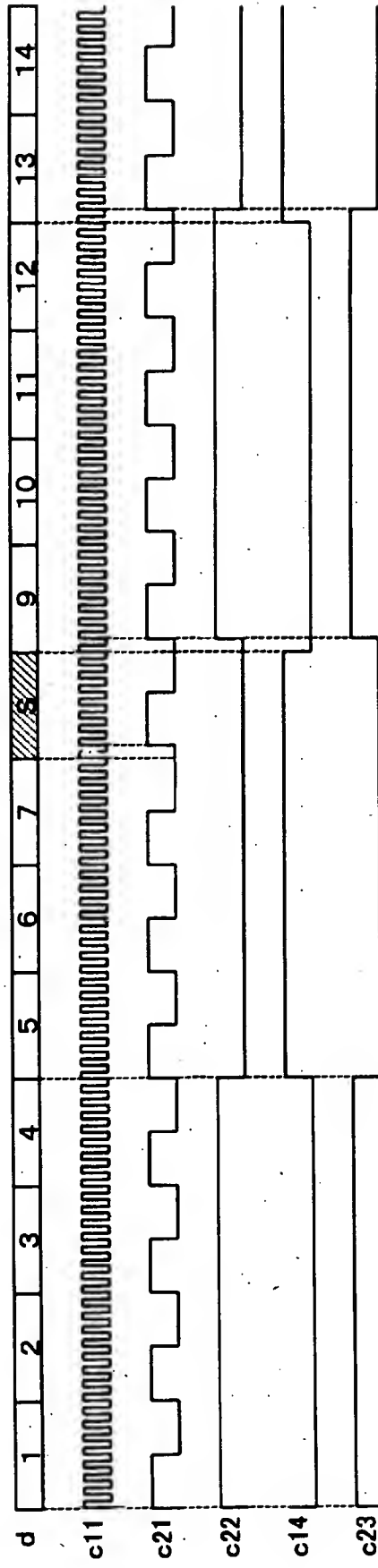
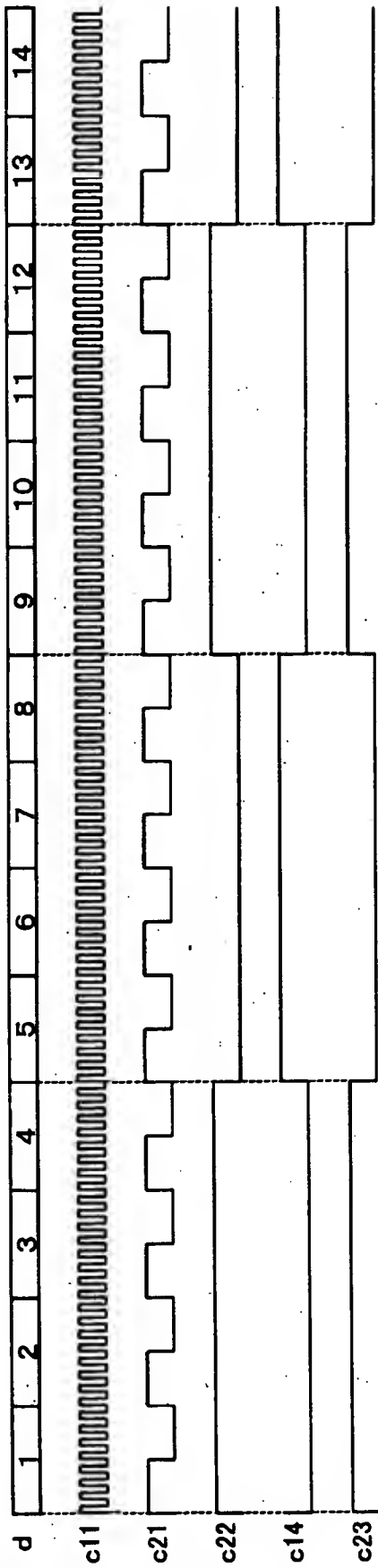
(B)



【図9】



【図 10】



【書類名】 要約書

【要約】

【課題】 スタッフ同期方式における受信装置の回路規模を小さくする。

【解決手段】 受信装置に設けられたバッファメモリ 2 には、書込みアドレスカウンタ 6 およびデスタッフ制御回路 4 により、スタッフデータを除く受信データが順次記憶される。記憶された受信データは、読出しアドレスカウンタにより指定されたアドレスから順次読み出される。読出しアドレスカウンタの周期は、PLL 20 の出力クロック信号 c 6 により制御される。出力クロック信号 c 6 の周波数は、可変分周器 19 の分周比が変更されることにより変化する。可変分周器 19 の分周比を変化させる量は、補正量算出器 12 により、書込みアドレスと読出しアドレスとの関係から求められた補正量に基づいて決定される。また、分周比の変更は、補正制御回路 13 により、決定された補正量に対応して 1 フレーム内にほぼ等しい時間間隔で分けて行われる。

【選択図】 図 1

特 2001-322445

認定・付加情報

特許出願の番号	特願 2001-322445
受付番号	50101549191
書類名	特許願
担当官	佐藤 一博 1909
作成日	平成 13 年 10 月 25 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
【氏名又は名称】	富士通株式会社

【代理人】

申請人	
【識別番号】	100094514
【住所又は居所】	神奈川県横浜市港北区新横浜 3-9-5 第三東 昇ビル 3 階 林・土井 国際特許事務所
【氏名又は名称】	林 恒徳

【代理人】

【識別番号】	100094525
【住所又は居所】	神奈川県横浜市港北区新横浜 3-9-5 第三東 昇ビル 3 階 林・土井 国際特許事務所
【氏名又は名称】	土井 健二

【書類名】 手続補正書

【整理番号】 0151793

【提出日】 平成13年11月15日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2001-322445

【補正をする者】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒▲徳▼

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 発明者

【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜 2 丁目 3 番 9 号 富士通デ
ィジタル・テクノロジ株式会社内

【氏名】 小林 真人

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜 2 丁目 3 番 9 号 富士通デ
ィジタル・テクノロジ株式会社内

【氏名】 舘野 実

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜 2 丁目 3 番 9 号 富士通デ
ィジタル・テクノロジ株式会社内

【氏名】 吉野 康志

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜 2 丁目 3 番 9 号 富士通デ
ィジタル・テクノロジー株式会社内

【氏名】 児矢野 英明

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜 2 丁目 3 番 9 号 富士通デ
ィジタル・テクノロジー株式会社内

【氏名】 岩岡 立

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜 2 丁目 3 番 9 号 富士通デ
ィジタル・テクノロジー株式会社内

【氏名】 久保田 孝彦

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通
株式会社内

【氏名】 高安 昭男

【その他】 発明者館野 実を、確認の誤りにより、館野 実と誤記
致しましたので、訂正致します。

【ブルーフの要否】 要

特 2001-322445

認定・付加情報

特許出願の番号	特願2001-322445
受付番号	50101686871
書類名	手続補正書
担当官	佐藤 一博 1909
作成日	平成13年11月21日

<認定情報・付加情報>

【補正をする者】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】	富士通株式会社

【代理人】

【識別番号】	100094514
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東 昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	林 恒徳

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社